

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-068788
(43)Date of publication of application : 03.03.2000

(51)Int.CI. H03H 11/24
H01L 21/8234
H01L 27/088

(21)Application number : 10-239316

(71)Applicant : JAPAN SCIENCE & TECHNOLOGY
CORP

(22)Date of filing : 26.08.1998

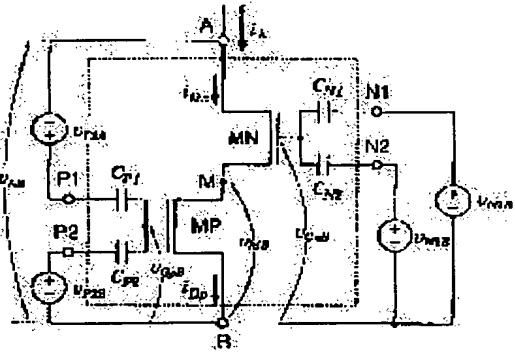
(72)Inventor : HORIO YOSHIHIKO
WATARAI KENICHI
AIHARA KAZUYUKI

(54) NONLINEAR RESISTANCE CIRCUIT USING CAPACITIVE COUPLING MULTI-INPUT MOSFET

(57)Abstract:

PROBLEM TO BE SOLVED: To transform the Λ and V type nonlinear resistance characteristics into that of the integrated circuits of the same constitution in a standard CMOS process by using a core circuit where the source terminals of enhancement type N and P channel MOSFETs having the capacitive coupling multi-input gate terminals are connected to each other.

SOLUTION: The source terminals of enhancement type N and P channel MOSFETs (MN and MP) are connected to each other with addition of drain terminals A and B. Then the input capacitance CN1, CN2 and CP1, CP2 and the input terminals N1, N2 and P1, P2 are added to the MN and MP gates respectively. In such a constitution, a core circuit is obtained. Furthermore, the potentials VGnB and VGpB, gate-source voltage VGSn and VGSp and drain-source voltage VDSn and VDSP are given to the MN and MP gate terminals respectively as shown by each prescribed expression. Thus, the Λ and V type I-V characteristics are acquired in various ways by the external control voltage in the same circuit constitution, and the circuit constitution can be transformed into the integrated circuits in a standard CMOS process.



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-68788

(P2000-68788A)

(43) 公開日 平成12年3月3日(2000.3.3)

(51) Int.Cl.?

識別記号

F I

テーマコード* (参考)

H 0 3 H 11/24

H03H 11/24

B 5 F 0 4 8

H 0 1 L 21/8234

H O 1 L 27/08

102 5 J 098

27/088

(21) 出願番号 特願平10-239316
(22) 出願日 平成10年8月26日(1998.8.26)

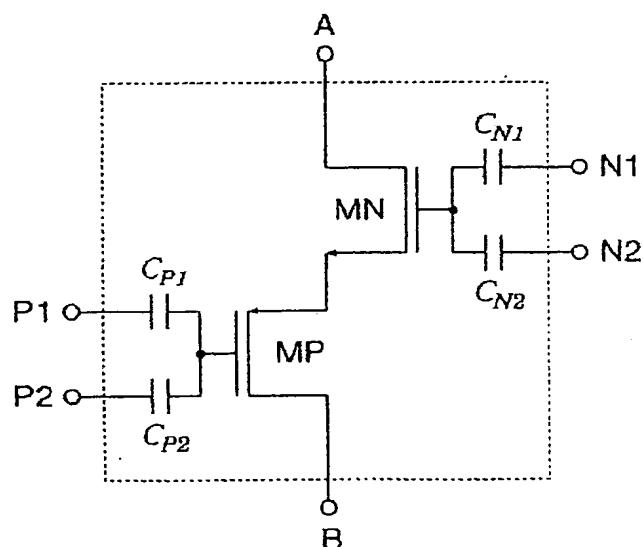
(71)出願人 396020800
科学技術振興事業団
埼玉県川口市本町4丁目1番8号
(72)発明者 堀尾 喜彦
埼玉県蕨市中央1-17-40-604
(72)発明者 渡来 賢一
千葉県松戸市常盤平西窪町14-6
(72)発明者 合原 一幸
千葉県習志野市谷津4-8-8-208
(74)代理人 100089635
弁理士 清水 守
F ターム(参考) 5F048 AB01 AB03 AB10 AC02 AC10
5J098 AA03 AA14 AC06 AC09 AC21
AC27 AD25 AD26 EA02 EA09

(54) 【発明の名称】 容量結合多入力MOSFETを用いた非線形抵抗回路

(57) 【要約】

【課題】 容量結合多入力MOSFETを用いることにより、標準的なCMOSプロセスで集積回路化が可能で、かつ、△字型およびV字型の2種類の非線形抵抗特性が実現可能な容量結合多入力MOSFETを用いた非線形抵抗回路を提供する。

【解決手段】 容量結合多入力MOSFETを用いた非線形抵抗回路において、容量結合多入力ゲート端子を有するNチャネルエンハンスマント型MOSFETと、容量結合多入力ゲート端子を有するPチャネルエンハンスマント型MOSFETと、前記各MOSFETのソース端子どうしを接続したコア回路とを具備する。



【特許請求の範囲】

【請求項1】 (a) 容量結合多入力ゲート端子を有するエンハンスマント型の第1のチャネルMOSFETと、(b) 容量結合多入力ゲート端子を有するエンハンスマント型の第2のチャネルMOSFETと、(c) 前記各MOSFETのソース端子どうしを接続した非線形抵抗特性を有するコア回路を具備する容量結合多入力MOSFETを用いた非線形抵抗回路。

【請求項2】 請求項1記載の容量結合多入力MOSFETを用いた非線形抵抗回路において、前記コア回路の第1のチャネルはNチャネルであり、前記第2のチャネルはPチャネルであり、△型電流-電圧特性を得ることを特徴とする容量結合多入力MOSFETを用いた非線形抵抗回路。

【請求項3】 請求項2記載の容量結合多入力MOSFETを用いた非線形抵抗回路において、外部からの制御電圧により、前記△型電流-電圧特性を多様に変化させることを特徴とする容量結合多入力MOSFETを用いた非線形抵抗回路。

【請求項4】 請求項3記載の容量結合多入力MOSFETを用いた非線形抵抗回路において、前記NチャネルMOSFETのドレン端子と第1の入出力端子間に与えられる第5の電位と、前記PチャネルMOSFETのドレン端子と第2の入出力端子間に与えられる第6の電位とを有し、前記Pチャネルのゲートに接続される第1の容量と前記NチャネルMOSFETのドレン端子又は第1の入出力端子間に与えられる第1の電位と、前記Pチャネルのゲートに接続される第2の容量と前記PチャネルMOSFETのドレン端子又は第2の入出力端子間に与えられる第2の電位と、前記Nチャネルのゲートに接続される第3の容量と前記PチャネルMOSFETのドレン端子又は第2の入出力端子間に与えられる第3の電位と、前記Nチャネルのゲートに接続される第4の容量と前記PチャネルMOSFETのドレン端子又は第2の入出力端子間に与えられる第4の電位とを有することを特徴とする容量結合多入力MOSFETを用いた非線形抵抗回路。

【請求項5】 請求項1記載の容量結合多入力MOSFETを用いた非線形抵抗回路において、前記コア回路の第1のチャネルはPチャネルであり、前記第2のチャネルはNチャネルであり、V型電流-電圧特性を得ることを特徴とする容量結合多入力MOSFETを用いた非線形抵抗回路。

【請求項6】 請求項5記載の容量結合多入力MOSFETを用いた非線形抵抗回路において、外部からの制御電圧により、前記V型電流-電圧特性を多様に変化させることを特徴とする容量結合多入力MOSFETを用いた非線形抵抗回路。

【請求項7】 請求項6記載の容量結合多入力MOSFETを用いた非線形抵抗回路において、前記Pチャネル

MOSFETのドレン端子と第1の入出力端子間に与えられる第1の電位と、前記NチャネルMOSFETのドレン端子と第2の入出力端子間に与えられる第1の電位とを有し、前記Nチャネルのゲートに接続される第5の容量と前記PチャネルMOSFETのドレン端子又は第1の入出力端子間に与えられる第7の電位と、前記Nチャネルのゲートに接続される第6の容量と前記NチャネルMOSFETのドレン端子又は第2の入出力端子間に与えられる第8の電位と、前記Pチャネルのゲートに接続される第7の容量と前記NチャネルMOSFETのドレン端子又は第2の入出力端子間に与えられる第9の電位と、前記Pチャネルのゲートに接続される第8の容量と前記NチャネルMOSFETのドレン端子又は第2の入出力端子間に与えられる第10の電位とを有することを特徴とする容量結合多入力MOSFETを用いた非線形抵抗回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は容量結合多入力MOSFETを用いた非線形抵抗回路に係り、特に、容量結合多入力MOSFETを用いた非線形負性抵抗回路に関するものである。

【0002】

【従来の技術】 非線形な電流-電圧(I-V)特性を持つデバイスや回路、特に負性抵抗特性を持ったものは、論理回路やメモリ回路、発振回路やインピーダンス変換回路、また色々な非線形信号処理回路、さらにはカオス発生回路等の構成要素として重要な位置を占めている。

【0003】 このようなデバイスには多種多様なものがあるが、△字型のI-V特性を持つデバイスとして、接合型トランジスタ(BJT)や電界効果トランジスタ(FET)を組み合わせた回路が提案されている(①第1文献: L. O. Hill, D. O. Pederson, and R. S. Pepper, 'Synthesis of Electronic Bistable Circuits,' IEEE Transactions on Circuit Theory, vol. 1, CT-10, pp. 25-35, 1963.)。

【0004】 さらに、2つの接合型電界効果トランジスタ(J-FET)を一体として集積回路化する技術により、この回路を効率的に実現する方法が提案された(②第2文献: G. Kano and H. Iwasa, 'A new Δ -Type Negative Resistance Device of Integrated Complementary FET Structure,' IEEE Transactions on Electron Devices, vol. 21, no. 7, pp. 448-449, 1974.)。

【0005】 また近年、2つのMOSFETを使って△字型負性抵抗特性を実現する、ラムダ型トランジスタ回

路が提案され、インピーダンス変換器やニューロン回路に応用されている（③第3文献：杉崎堅之助、関根寿広、関根好文、中村康平、須山正敏、‘2個のMOS-FETによる△形トランジスタ’、昭和53年度電気関係学会東北支部連合大会、2G9、p. 270, 1978）。

8. ④第4文献：関根寿広、杉崎堅之助、佐藤均、関根好文、須山正敏、‘△形トランジスタを用いた等価インダクタンス’、電子通信学会論文誌、vol. J63-C, no. 5, pp. 325-327, 1980。

⑤第5文献：関根好文、中村雅彦、落合利幸、須山正敏、‘△形トランジスタのハードウェアニューロンモデルへの応用’、電子通信学会論文誌、vol. J68-A, no. 7, pp. 672-679, 1985）。

【0006】

【発明が解決しようとする課題】しかしながら、上記した従来の回路中の少なくとも1つのMOSFETはデプレーション型でなくてはならないため、この回路をエンハンスマント型MOSFETのみで構成される標準的なCMOSプロセスで集積回路化することはできない。

【0007】本発明は、上記問題点を解決するために、容量結合多入力MOSFETを用いることにより、標準的なCMOSプロセスで集積回路化が可能で、かつ、△字型およびV字型の2種類の非線形抵抗特性が実現可能な容量結合多入力MOSFETを用いた非線形抵抗回路を提供することを目的とする。ここで、容量結合多入力MOSFETとは、MOSFETのゲート端子に複数のコンデンサを並列結合させて多数の入力端子を持たせたMOSFETである。この容量結合多入力MOSFETの動作は、1つもしくは幾つかの容量結合入力端子の電圧によって制御することができる。この回路の構造は、νMOSFET（⑥第6文献：T. Shibata and T. Ohmi, ‘A Functional MOS Transistor Featuring Gate-Level Weighted Sum and Threshold Operations’, IEEE Transactions. Electron Devices, vol. 39, no. 6, pp. 1444-1455, 1992 参照）やMFMOSFET（⑦第7文献：H. R. Mehrvarz and C. Y. Kwok, ‘A Novel Multi-Input Floating-Gate MOS Four-Quadrant Analog Multiplier’, IEEE J. of Solid State Circuits, vol. 31, no. 8, pp. 1123-1131, 1996 参照）のような、入力の線形な重み付き総和演算を行う多入力フローティングゲートMOSFETと同じである。

【0008】しかし、本発明の非線形抵抗回路においては、そのような線形演算は本質的ではないため、入力結合コンデンサの特性は線形である必要はない。従って、

ここで言う容量結合多入力MOSFETは、νMOSFET等を含む、より一般的な回路構成を指す。従って、本発明の非線形抵抗回路は、線形なキャパシタが利用できない、より安価なCMOSプロセスで集積回路化が可能である。

【0009】一方、νMOSFET等のフローティングゲートデバイスが利用できるのであれば、本発明の非線形抵抗回路の小型化も可能である。

【0010】

【課題を解決するための手段】本発明は、上記目的を達成するために、

（1）容量結合多入力MOSFETを用いた非線形抵抗回路であって、容量結合多入力ゲート端子を有するエンハンスマント型の第1のチャネルMOSFETと、容量結合多入力ゲート端子を有するエンハンスマント型の第2のチャネルMOSFETと、前記各MOSFETのソース端子どうしを接続した非線形抵抗特性を有するコア回路を具備するようにしたものである。

【0011】（2）上記（1）記載の容量結合多入力MOSFETを用いた非線形抵抗回路において、前記コア回路の第1のチャネルはNチャネルであり、前記第2のチャネルはPチャネルであり、△型電流-電圧特性を得るようにしたものである。

（3）上記（2）記載の容量結合多入力MOSFETを用いた非線形抵抗回路において、外部からの制御電圧により、前記△型電流-電圧特性を多様に変化させようとしたものである。

【0012】（4）上記（3）記載の容量結合多入力MOSFETを用いた非線形抵抗回路において、図6

30 (a)～図6 (p) に示すように、前記NチャネルMOSFETのドレイン端子 (A) と第1の入出力端子 (X) 間に与えられる第5の電位 (v_5) と、前記PチャネルMOSFETのドレイン端子 (B) と第2の入出力端子 (Y) 間に与えられる第6の電位 (v_6) とを有し、前記Pチャネルのゲートに接続される第1の容量 (C_{p1}) と前記NチャネルMOSFETのドレイン端子 (A) 又は第1の入出力端子 (X) 間に与えられる第1の電位 (v_{p1A} , v_{p1X}) と、前記Pチャネルのゲートに接続される第2の容量 (C_{p2}) と前記PチャネルMOSFETのドレイン端子 (B) 又は第2の入出力端子 (Y) 間に与えられる第2の電位 (v_{p2B} , v_{p2Y}) と、前記Nチャネルのゲートに接続される第3の容量 (C_{n1}) と前記PチャネルMOSFETのドレイン端子 (B) 又は第2の入出力端子 (Y) 間に与えられる第3の電位 (v_{n1B} , v_{n1Y}) と、前記Nチャネルのゲートに接続される第4の容量 (C_{n2}) と前記PチャネルMOSFETのドレイン端子 (B) 又は第2の入出力端子 (Y) 間に与えられる第4の電位 (v_{n2B} , v_{n2Y}) とを有するようにしたものである。

50 【0013】（5）上記（1）記載の容量結合多入力M

○S F E Tを用いた非線形抵抗回路において、前記コア回路の第1のチャネルはPチャネルであり、前記第2のチャネルはNチャネルであり、V型電流-電圧特性を得るようにしたものである。

〔6〕上記〔5〕記載の容量結合多入力M O S F E Tを用いた非線形抵抗回路において、外部からの制御電圧により、前記V型電流-電圧特性を多様に変化させるようにしたものである。

【0014】〔7〕上記〔6〕記載の容量結合多入力M O S F E Tを用いた非線形抵抗回路において、図8(a)～図8(p)に示すように、前記PチャネルM O S F E Tのドレイン端子(B)と第1の入出力端子(X)間に与えられる第11の電位(v_x)と、前記NチャネルM O S F E Tのドレイン端子(A)と第2の入出力端子(Y)間に与えられる第12の電位(v_y)とを有し、前記Nチャネルのゲートに接続される第5の容量(C_{N2})と前記PチャネルM O S F E Tのドレイン端子(B)又は第1の入出力端子(X)間に与えられる第7の電位(v_{N2B} , v_{N2X})と、前記Nチャネルのゲートに接続される第6の容量(C_{N1})と前記NチャネルM O S F E Tのドレイン端子(A)又は第2の入出力端子(Y)間に与えられる第8の電位(v_{N1A} , v_{N1Y})と、前記Pチャネルのゲートに接続される第7の容量(C_{P2})と前記NチャネルM O S F E Tのドレイン端子(A)又は第2の入出力端子(Y)間に与えられる第9の電位(v_{P2A} , v_{P2Y})と、前記Pチャネルのゲートに接続される第8の容量(C_{P1})と前記NチャネルM O S F E Tのドレイン端子(A)又は第2の入出力端子(Y)間に与えられる第10の電位(v_{P1A} , v_{P1Y})とを有するようにしたものである。

【0015】

$$C_0 \ll C_i \text{ for } i = 1 \text{ to } m$$

*

【0020】であると仮定する。この時、ゲート端子Gの電位は

※

$$v_{Gn} \approx \frac{\sum_{i=1}^m (C_i \cdot v_{INi})}{C_T}$$

【0022】と近似できる。ここで、

【0023】

【数3】

$$C_T = \sum_{i=1}^m C_i \quad \dots (3)$$

【0024】である。ここで、ソース端子Sを基準とし

* 【発明の実施の形態】以下、本発明の実施の形態について詳細に説明する。

〔1〕容量結合多入力M O S F E T

〔1-1〕容量結合多入力NチャネルM O S F E T

図1は本発明に係る容量結合多入力NチャネルM O S F E Tの回路図である。

【0016】この図に示すように、容量結合多入力NチャネルM O S F E T(以下、NM O S F E Tという)は、通常のNM O S F E Tのゲート端子Gに、複数のキャパシタ $C_1 \sim C_n$ を結合し、それらを入力端子とする。このようにキャパシタ $C_1 \sim C_n$ を介して入力を加えることにより、NM O S F E T・MNのゲート端子Gは等価的にフローティングとなる。

【0017】ソース端子Sの接地を基準とした電位を v_{S_n} 、ドレイン端子Dのそれを v_{D_n} 、さらにゲート端子Gの電位を v_{Gn} 、基板端子Bの電位を v_{B_n} とする。ここで、図1に示したように、 $v_{IN1}, v_{IN2}, v_{IN3}, \dots, v_{INn}$ を接地を基準とした各入力端子の電圧、 C_0 をゲート・基盤間、ゲート・ドレイン間、ゲート・ソース間の寄生容量さらにはゲートの酸化膜容量の全合計、 $C_1, C_2, C_3, \dots, C_n$ を、各入力端子とゲート端子間の結合容量とする。

【0018】以下では、電荷の洩れがないと仮定し、ゲート端子Gの初期電荷は0とする。また、分かりやすくするため、ソース端子Sと基板端子Bは互いに接続されているものとする。また、以下に示す回路においては、寄生容量 C_0 の影響は回路の定性的な特性に影響を与えない。従って、解析を簡単にするため、

【0019】

【数1】

… (1)

※ 【0021】

【数2】

… (2)

たMNの閾値電圧を V_{IN} 、ゲート・ソース間電圧を $v_{GSn} = v_{Gn} - v_{S_n}$ 、ドレイン・ソース間電圧を $v_{DSn} = v_{D_n} - v_{S_n}$ とすると、各端子間の電位の相対関係によりMNの動作状態およびドレイン電流 i_{Dn} は以下のように与えられる。

【0025】

【数4】

7 8
1. $v_{GSn} < V_{tn}$ すなわち $\frac{\sum_{i=1}^m (C_i \cdot v_{INi})}{C_T} - v_{Sn} < V_{tn}$ の時

この時、MNはカットオフ状態であり、従って、ドレイン電流 i_{Dn} は

$$i_{Dn} = 0 \quad \cdots (4)$$

【0026】となる。

* 【数5】

【0027】

2. $v_{GSn} \geq V_{tn}$ すなわち $\frac{\sum_{i=1}^m (C_i \cdot v_{INi})}{C_T} - v_{Sn} \geq V_{tn}$ の時

この時、MNは反転状態で $i_{Dn} \neq 0$ である。また、この条件下では以下のように、ドレイン端子の電圧によってMNは三極管領域あるいは飽和領域のいずれかの動作領域にある。

以下では、簡単のためチャネル長変調は無視する。ドレイン・ソース間電圧を v_{DSn} とすると、

(a) $v_{DSn} < v_{GSn} - V_{tn}$ すなわち $v_{DSn} < \frac{\sum_{i=1}^m (C_i \cdot v_{INi})}{C_T} - v_{Sn} - V_{tn}$ の時

この時、MNは三極管領域で動作する。従って、ドレイン電流は次式で与えられる。

$$i_{Dn} = K_n \{ 2(v_{GSn} - V_{tn})v_{DSn} - v_{DSn}^2 \} \quad \cdots (5)$$

【0028】

* * 【数6】

$$= K_n \left\{ 2 \left(\frac{\sum_{i=1}^m (C_i \cdot v_{INi})}{C_T} - v_{Sn} - V_{tn} \right) v_{DSn} - v_{DSn}^2 \right\} \quad \cdots (6)$$

【0029】ただし、 K_n は $(1/2) \mu_n C_{ss}$ ($W_n = 30$ ★ネル長である (以下同様))、 μ_n は電子の移動度、 C_{ss} は、MNの酸化膜

【0030】

容量、 W_n 、 L_n はそれぞれMNのゲート幅およびチャ★

【数7】

(b) $v_{DSn} \geq v_{GSn} - V_{tn}$ すなわち $v_{DSn} \geq \frac{\sum_{i=1}^m (C_i \cdot v_{INi})}{C_T} - v_{Sn} - V_{tn}$ の時

この時、MNは飽和領域で動作する。従って、ドレイン電流は次式で与えられる。

$$i_{Dn} = K_n (v_{GSn} - V_{tn})^2 \quad \cdots (7)$$

【0031】

☆ ☆ 【数8】

$$= K_n \left(\frac{\sum_{i=1}^m (C_i \cdot v_{INi})}{C_T} - v_{Sn} - V_{tn} \right)^2 \quad \cdots (8)$$

【0032】以上より、容量結合多入力MOSFETは、各外部入力 v_{INi} の相対的な関係によりドレイン電流を決定することが可能なデバイスであることがわかる。

(1-2) 容量結合多入力PチャネルMOSFET

図2は本発明に係るm個の容量結合入力端子を持つPMOSFETの回路図である。ここでも前記と同様に、ソ

ース端子と基盤端子は接続されているとする。また、分かりやすくするため、前記(1)式を仮定する。

【0033】この時、接地を基準としたMPのゲート端子Gの電位 v_{Gn} は(2)式と同様にして以下のように示すことができる。

【0034】

【数9】

9

$$v_{Gp} \approx \frac{\sum_{i=1}^m (C_i \cdot v_{INi})}{C_T} \quad \cdots (9)$$

10

【0035】MPのソース端子Sおよびドレイン端子Dの接地を基準とした電位をそれぞれ、 v_{Sp} 、 v_{Dp} とする。さらに、MPのソース端子を基準とした閾値電圧を V_{tp} とし、ゲート・ソース間電圧を $v_{GSp} = v_{Gp} - v_{Sp}$ 、ドレイン・ソース間電圧を $v_{DSp} = v_{Dp} - v_{Sp}$ 、*

$$1. \quad v_{GSp} > V_{tp} \text{ すなわち } \frac{\sum_{i=1}^m (C_i \cdot v_{INi})}{C_T} - v_{Sp} > V_{tp} \text{ の時}$$

この時、MPはカットオフ状態であり、従って、ドレイン電流 i_{Dp} は

$$i_{Dp} = 0 \quad \cdots (10)$$

【0037】となる。

※【数11】

【0038】

※

$$2. \quad v_{GSp} \leq V_{tp} \text{ すなわち } \frac{\sum_{i=1}^m (C_i \cdot v_{INi})}{C_T} - v_{Sp} \leq V_{tp} \text{ の時}$$

この時、MPは反転状態で $i_{Dp} \neq 0$ である。また、この条件下では以下のように、ドレイン端子の電圧によってMPは三極管領域あるいは飽和領域のいずれかの動作領域にある。

$$(a) \quad v_{DSp} > v_{GSp} - V_{tp} \text{ すなわち } v_{DSp} > \frac{\sum_{i=1}^m (C_i \cdot v_{INi})}{C_T} - v_{Sp} - V_{tp} \text{ の時}$$

この時、MPは三極管領域で動作する。従って、ドレイン電流は次式で与えられる。

$$i_{Dp} = K_p \{ 2(v_{GSp} - V_{tp})v_{DSp} - v_{DSp}^2 \} \quad \cdots (11)$$

★30★【数12】

【0039】

$$= K_p \left\{ 2 \left(\frac{\sum_{i=1}^m (C_i \cdot v_{INi})}{C_T} - v_{Sp} - V_{tp} \right) v_{DSp} - v_{DSp}^2 \right\} \quad \cdots (12)$$

【0040】ただし、 K_p は $(1/2) \mu_p C_{ox} (W_p / L_p)$ 、 μ_p はホールの移動度、 C_{ox} はMPの酸化膜容量、 W_p 、 L_p はそれぞれMPのゲート幅およびチャ

★ネル長である(以下同様)。

【0041】

【0042】

【数13】

$$(b) \quad v_{DSp} \leq v_{GSp} - V_{tp} \text{ すなわち } v_{DSp} \leq \frac{\sum_{i=1}^m (C_i \cdot v_{INi})}{C_T} - v_{Sp} - V_{tp} \text{ の時}$$

この時、MPは飽和領域で動作する。従って、ドレイン電流は次式で与えられる。

$$i_{Dp} = K_p (v_{GSp} - V_{tp})^2 \quad \cdots (13)$$

◆◆【数14】

【0043】

$$= K_p \left(\frac{\sum_{i=1}^m (C_i \cdot v_{INi})}{C_T} - v_{Sp} - V_{tp} \right)^2 \quad \cdots (14)$$

【0043】(2) 容量結合多入力MOSFETを用いた非線形抵抗特性回路

ここでは、上記した容量結合多入力MOSFETを2つ

用いて多種類の非線形抵抗特性を実現する回路の構成を示す。また、基本的な回路の構成は、従来例で示した第50文献乃至第3文献を参考にした。

〔2-1〕コアとなる回路

図3は本発明の実施例を示す非線形抵抗回路のコアとなる回路図である。

〔0044〕この回路は、容量結合入力を持ったNMO S F E T (MN) とPMOSFET (MP) のソース端子を結合させた回路である。ここでは各FETは2個の入力端子を持っているが、一般にn個として良い。また、図3では基盤端子は省略してある。図3に示すように、MNのドレイン端子をA、MPのドレイン端子をBとする。また、MNの2つの入力容量をC_{N1}とC_{N2}、MPの2つの入力容量をC_{P1}とC_{P2}とし、それぞれの入力端子をN1、N2、P1、P2とする。以下、この回路*

$$v_{GnB} = \frac{C_{N1}v_{N1B} + C_{N2}v_{N2B}}{C_{N1} + C_{N2}} \quad \dots (15)$$

〔0047〕

$$v_{GpB} = \frac{C_{P1}(v_{AB} + v_{P1A}) + C_{P2}v_{P2B}}{C_{P1} + C_{P2}} \quad \dots (16)$$

〔0048〕また、MNのゲート・ソース間電圧 20★ゲート・ソース間電圧v_{Gs}、ドレイン・ソース間電圧v_{ds}、ドレイン・ソース間電圧v_{ds}、およびMPの★v_{ds}は、次式で表すことができる。

$$v_{Gs} = v_{GnB} - v_{Nb} \quad \dots (17)$$

$$v_{ds} = v_{AB} - v_{Nb} \quad \dots (18)$$

$$v_{Gp} = v_{GpB} - v_{Nb} \quad \dots (19)$$

$$v_{ds} = -v_{Nb} \quad \dots (20)$$

ここで、v_{NB}は図中の節点Mの端子Bを基準とした電位である。

〔0049〕次に、上記〔1〕章で導出した容量結合多入力MOSFETの特性式を用いて、MNのドレイン電流i_{dn}と、MPのドレイン電流i_{dp}を遮断、三極管、飽和30

$$v_{GnB} - v_{Nb} < v_{tn} \quad \dots (21)$$

の時

$$i_{dn} = 0 \quad \dots (22)$$

2. v_{Gs} ≥ v_{tn} の時、すなわち、

$$v_{GnB} - v_{Nb} \geq v_{tn} \quad \dots (23)$$

の時、MNは反転領域である。この時さらに、(a) v_{ds} < v_{Gs} - v_{tn} の時、MNは三極管領域である。

◆【0051】すなわち、上記(17)、(18)式より、

$$v_{AB} < v_{GnB} - v_{tn} \quad \dots (24)$$

の時、

$$i_{dn} = K_n \{ 2 (v_{Gs} - v_{tn}) v_{ds} - v_{ds}^2 \} \quad \dots (25)$$

$$= K_n \{ 2 (v_{GnB} - v_{Nb} - v_{tn}) (v_{AB} - v_{Nb}) - (v_{AB} - v_{Nb})^2 \} \quad \dots (26)$$

(b) v_{ds} ≥ v_{Gs} - v_{tn} の時、MNは飽和領域である。

*【0052】すなわち、

$$v_{AB} \geq v_{GnB} - v_{tn} \quad \dots (27)$$

の時、

$$i_{dn} = K_n (v_{Gs} - v_{tn})^2 \quad \dots (28)$$

$$= K_n (v_{GnB} - v_{Nb} - v_{tn})^2 \quad \dots (29)$$

・トランジスタMPについて

ある。

1. v_{Gp} > v_{tp} の時、トランジスタMPは遮断領域で 50 【0053】従って、上記(19)式より、

*をコア回路と呼ぶ。

〔2-2〕△型I-V特性を実現する基本回路

図4は本発明の実施例を示す△字型のI-V特性を実現する基本回路図であり、破線内はコア回路である。

〔0045〕上記したコア回路の各端子に図4のように電圧を加えることにより、端子A-B間に△型のI-V特性が得られる。ここで、図のように端子Bを基準とした各節点の電圧を取ると、上記(2)および上記(9)式より、MNとMPのゲート端子の電位v_{GnB}、v_{GpB}は次式で与えられる。

〔0046〕

【数15】

$$\dots (15)$$

☆和領域の3つの動作領域に分けて与える。・トランジスタMNについて；

1. v_{Gs} < v_{tn} の時、MNは遮断領域である。

【0050】従って、上記(17)式より、

$$\dots (21)$$

$$\dots (22)$$

$$\dots (23)$$

$$\dots (24)$$

$$\dots (25)$$

$$\dots (26)$$

◆【0051】すなわち、上記(17)、(18)式より、

$$\dots (27)$$

$$\dots (28)$$

$$\dots (29)$$

ある。

【0053】従って、上記(19)式より、

13

$$V_{GpB} - V_{MB} > V_{tp}$$

の時、

$$i_{dp} = 0$$

2. $V_{GpB} \leq V_{tp}$ の時、MPは反転領域である。この時
さらに、(a) $V_{Dsp} > V_{GpB} - V_{tp}$ の時、トランジス*

$$V_{GpB} < V_{tp}$$

の時、

$$\dots (31)$$

* 夕MPは三極管領域である。すなわち、上記(19)、
(20)式より、

$$\dots (32)$$

の時、

$$i_{dp} = K_p \{ 2 (V_{MB} - V_{GpB} + V_{tp}) V_{MB} - V^2_{MB} \} \dots (33)$$

(b) $V_{Dsp} \leq V_{GpB} - V_{tp}$ の時、MPは飽和領域である。すなわち、

$$V_{GpB} \geq V_{tp}$$

の時、

$$i_{dp} = K_p (V_{GpB} - V_{MB} - V_{tp})^2 \dots (35)$$

次に、上記の結果を用いて、 $i_A = i_{da} = i_{dp}$ とおくことにより、 V_{MB} を求める。以下では、分かりやすくするために $K_n = K_p = K$ として計算する。

★

$$V_{MB} = \{ 2 (V_{ta} - V_{GnB}) V_{AB} + V^2_{AB} \} / P \dots (36)$$

ここで、

$$P = 2 (V_{GpB} - V_{GnB} + V_{ta} - V_{tp}) \dots (37)$$

である(以下同様)。

★ 和領域で動作している時、上記(26)式および(3

【0055】2. MNが三極管領域で動作し、MPが飽和領域で動作している時、上記(26)式および(3

$$V_{MB} = \{ V^2_{AB} + 2 (V_{ta} - V_{GnB}) V_{AB} + (V_{GpB} - V_{tp})^2 \} / P \dots (38)$$

3. MNが飽和領域で動作し、MPが三極管領域で動作◆◆している時; 上記(29)式および(33)式より、

$$V_{MB} = - (V_{GnB} - V_{ta})^2 / P \dots (39)$$

4. MN、MPが共に飽和領域で動作している時上記* * (29)式および(35)式より、

$$V_{MB} = \{ (V_{GpB} - V_{tp})^2 - (V_{GnB} - V_{ta})^2 \} / P \dots (40)$$

以上をまとめると、図4の電流 i_A は、以下のように与えられる。ただし、分かりやすくするため、以下では $K_n = K_p = K$ の時のみ示す。

※

$$i_A = 0 \dots (41)$$

2. $V_{GnB} - V_{MB} \geq V_{ta}$ あるいは $V_{GpB} - V_{MB} \leq V_{tp}$ の★★時、

$$i_A \neq 0 \dots (42)$$

であり、さらに

★★(a) $V_{AB} < V_{GnB} - V_{ta}$ かつ $V_{GpB} < V_{tp}$ の時、

$$i_A = K \{ 2 (V_{GnB} - V_{MB} - V_{ta}) (V_{AB} - V_{MB}) - (V_{AB} - V_{MB})^2 \} \dots (43)$$

$$V_{MB} = \{ 2 (V_{ta} - V_{GnB}) V_{AB} + V^2_{AB} \} / P \dots (44)$$

(b) $V_{AB} < V_{GnB} - V_{ta}$ かつ $V_{GpB} \geq V_{tp}$ の時、

$$i_A = K \{ 2 (V_{GnB} - V_{MB} - V_{ta}) (V_{AB} - V_{MB}) - (V_{AB} - V_{MB})^2 \} \dots (45)$$

$$V_{MB} = \{ V^2_{AB} + 2 (V_{ta} - V_{GnB}) V_{AB} + (V_{GpB} - V_{tp})^2 \} / P \dots (46)$$

(c) $V_{AB} \geq V_{GnB} - V_{ta}$ かつ $V_{GpB} < V_{tp}$ の時、

$$i_A = K (V_{GnB} - V_{MB} - V_{ta})^2 \dots (47)$$

$$V_{MB} = - \{ (V_{GnB} - V_{ta})^2 \} / P \dots (48)$$

(d) $V_{AB} \geq V_{GnB} - V_{ta}$ かつ $V_{GpB} \geq V_{tp}$ の時、

$$i_A = K (V_{GnB} - V_{MB} - V_{ta})^2 \dots (49)$$

$$V_{MB} = \{ (V_{GpB} - V_{tp})^2 - (V_{GnB} - V_{ta})^2 \} / P \dots (50)$$

〔2-3〕V型I-V特性を実現する基本回路

次に、〔2-1〕で述べたコア回路の各端子に図5のよ

うに電圧を加える。この回路は、図4の回路中のコア回

路を上下反転した回路となっている。この回路の端子B-A間にV型のI-V特性が得られる。ここで、図5に示すように端子Aを基準とした各節点の電圧を取ると、

上記(2)および(9)式より、MNとMPのゲート端子の電位 V_{GnA} 、 V_{GpA} は次式で与えられる。

$$V_{GnA} = \{C_{n1}V_{n1A} + C_{n2}(V_{BA} + V_{n2B})\} / (C_{n1} + C_{n2}) \quad \dots (51)$$

$$V_{GpA} = (C_{p1}V_{p1A} + C_{p2}V_{p2A}) / (C_{p1} + C_{p2}) \quad \dots (52)$$

また、MNのゲート・ソース間電圧 V_{GnA} 、ドレイン・ソース間電圧 V_{DSn} 、ドレイン・ソース間電圧 V_{DSP} は、次式で表す※

$$V_{GnA} = V_{GnA} - V_{MA} \quad \dots (53)$$

$$V_{DSn} = -V_{MA} \quad \dots (54)$$

$$V_{GpA} = V_{GpA} - V_{MA} \quad \dots (55)$$

$$V_{DSP} = V_{BA} - V_{MA} \quad \dots (56)$$

前記[2-2]章と同様な方法を用いて図中の電流 i_v 、 $= -i_{Dn} = -i_{Dp}$ を求めるとき以下のようになる。ただし、分かりやすくするため、 $K_n = K_p = K$ とした。★

$$i_v = 0 \quad \dots (57)$$

$$2. V_{GnA} - V_{MA} \geq V_{1n} \text{かつ} V_{GpA} - V_{MA} \leq V_{1p} \quad (\text{M} \star \text{N} \star \text{MP共に反転状態}) \text{の時}, \quad \dots (58)$$

であり、さらに(a) $V_{GnA} > V_{1n}$ かつ $V_{BA} > V_{GpA} - \Delta$ ($\Delta = V_{1p}$ (MN、MP共に三極管領域)の時、

$$i_v = -K \{2(V_{MA} - V_{GnA} + V_{1n}) V_{MA} - V_{MA}^2\} \quad \dots (59)$$

$$V_{MA} = \{2(V_{GpA} - V_{1p}) V_{BA} - V_{BA}^2\} / P \quad \dots (60)$$

$$(b) V_{GnA} > V_{1n} \quad (\text{MNが三極管領域}) \text{かつ} V_{BA} \leq V_{GpA} - V_{1p} \quad (\text{MPが飽和領域}) \text{の時}, \quad \dots (61)$$

$$i_v = -K \{2(V_{MA} - V_{GnA} + V_{1n}) V_{MA} - V_{MA}^2\} \quad \dots (62)$$

$$(c) V_{GnA} \leq V_{1n} \quad (\text{MNが飽和領域}) \text{かつ} V_{BA} > V_{GpA} - V_{1p} \quad (\text{MPが三極管領域}) \text{の時}, \quad \dots (63)$$

$$i_v = -K (V_{GnA} - V_{MA} - V_{1n})^2 \quad \dots (64)$$

$$V_{MA} = \{2(V_{GpA} - V_{1p}) V_{BA} - V_{BA}^2 - (V_{GnA} - V_{1n})^2\} / P \quad \dots (65)$$

$$(d) V_{GnA} \leq V_{1n} \text{かつ} V_{BA} \leq V_{GpA} - V_{1p} \quad (\text{MN、M} \star \text{P共に飽和領域}) \text{の時}, \quad \dots (66)$$

$$i_v = -K (V_{GnA} - V_{MA} - V_{1n})^2 \quad \dots (67)$$

$$V_{MA} = \{(V_{GpA} - V_{1p})^2 - (V_{GnA} - V_{1n})^2\} / P \quad \dots (68)$$

[2-4] Δ型 I-V 非線形抵抗回路の改良

ここでは、[2-2]章で述べたΔ型 I-V 非線形抵抗基本回路に改良を加え、さらに幅広い I-V 特性が得られる回路を説明する。

【0060】図4の回路中の端子Aおよび端子Bにそれぞれ電圧源 v_x と v_y を付加する。これらの電圧源を加える方法には、図6に示すような16通りの接続が考え☆

$$V_{GnY} = (C_{n1}V_{n1Y} + C_{n2}V_{n2Y}) / (C_{n1} + C_{n2}) \quad \dots (67)$$

$$V_{GpY} = \{C_{p1}(V_{x1Y} - V_x + V_{p1A}) + C_{p2}V_{p2Y}\} / (C_{p1} + C_{p2}) \quad \dots (68)$$

$$V_{DSn} = V_{1Y} - V_x - V_{MY} \quad \dots (69)$$

$$V_{DSP} = V_Y - V_{MY} \quad \dots (70)$$

$$V_{GnA} = V_{GnY} - V_{MY} \quad \dots (71)$$

$$V_{GpA} = V_{GpY} - V_{MY} \quad \dots (72)$$

である。

【0062】さらに図4と図7を比較すると、両図中の

$$V_{AB} = V_{1Y} - V_x - V_Y \quad \dots (73)$$

$$V_{MB} = V_{MY} - V_Y \quad \dots (74)$$

$$V_{n1B} = V_{n1Y} - V_Y \quad \dots (75)$$

各電圧間に以下の関係がある。

*【0057】

*

$$V_{GnA} = \{C_{n1}V_{n1A} + C_{n2}(V_{BA} + V_{n2B})\} / (C_{n1} + C_{n2})$$

… (51)

$$V_{GpA} = (C_{p1}V_{p1A} + C_{p2}V_{p2A}) / (C_{p1} + C_{p2}) \quad \dots (52)$$

… (52)

※ことができる。

【0058】

V_{GnA} 、ドレン・ソース間電圧 V_{DSn} は、次式で表す※

$$V_{GnA} = V_{GnA} - V_{MA} \quad \dots (53)$$

$$V_{DSn} = -V_{MA} \quad \dots (54)$$

$$V_{GpA} = V_{GpA} - V_{MA} \quad \dots (55)$$

$$V_{DSP} = V_{BA} - V_{MA} \quad \dots (56)$$

★【0059】1. $V_{GnA} - V_{MA} < V_{1n}$ (MNが遮断領域) あるいは $V_{GpA} - V_{MA} > V_{1p}$ (MPが遮断領域) の時、

… (57)

$$2. V_{GnA} - V_{MA} \geq V_{1n} \text{かつ} V_{GpA} - V_{MA} \leq V_{1p} \quad (\text{M} \star \text{N} \star \text{MP共に反転状態}) \text{の時}, \quad \dots (58)$$

… (58)

であり、さらに(a) $V_{GnA} > V_{1n}$ かつ $V_{BA} > V_{GpA} - \Delta$ ($\Delta = V_{1p}$ (MN、MP共に三極管領域)の時、

$$i_v = -K \{2(V_{MA} - V_{GnA} + V_{1n}) V_{MA} - V_{MA}^2\} \quad \dots (59)$$

$$V_{MA} = \{2(V_{GpA} - V_{1p}) V_{BA} - V_{BA}^2\} / P \quad \dots (60)$$

$$(b) V_{GnA} > V_{1n} \quad (\text{MNが三極管領域}) \text{かつ} V_{BA} \leq V_{GpA} - V_{1p} \quad (\text{MPが飽和領域}) \text{の時}, \quad \dots (61)$$

$$i_v = -K \{2(V_{MA} - V_{GnA} + V_{1n}) V_{MA} - V_{MA}^2\} \quad \dots (62)$$

$$(c) V_{GnA} \leq V_{1n} \quad (\text{MNが飽和領域}) \text{かつ} V_{BA} > V_{GpA} - V_{1p} \quad (\text{MPが三極管領域}) \text{の時}, \quad \dots (63)$$

$$i_v = -K (V_{GnA} - V_{MA} - V_{1n})^2 \quad \dots (64)$$

$$V_{MA} = \{2(V_{GpA} - V_{1p}) V_{BA} - V_{BA}^2 - (V_{GnA} - V_{1n})^2\} / P \quad \dots (65)$$

$$(d) V_{GnA} \leq V_{1n} \text{かつ} V_{BA} \leq V_{GpA} - V_{1p} \quad (\text{MN、M} \star \text{P共に飽和領域}) \text{の時}, \quad \dots (66)$$

$$i_v = -K (V_{GnA} - V_{MA} - V_{1n})^2 \quad \dots (67)$$

$$V_{MA} = \{(V_{GpA} - V_{1p})^2 - (V_{GnA} - V_{1n})^2\} / P \quad \dots (68)$$

★られる。図中で網掛けを施した正方形は、この部分に図

3に示したコア回路が入ることを示している。図6に挙げた回路は、どれも同様な特性を示すので、以下では、

図6中の図6(f)の回路について詳しく述べる。この

回路を図7に示す。

【0061】ここで、各節点の端子Yを基準とした電位を図7に示すように取ると、まず、

$$V_{AB} = V_{1Y} - V_x - V_Y \quad \dots (69)$$

$$V_{MB} = V_{MY} - V_Y \quad \dots (70)$$

$$V_{n1B} = V_{n1Y} - V_Y \quad \dots (71)$$

$$V_{GnA} = V_{GnY} - V_Y \quad \dots (72)$$

$$V_{GpA} = V_{GpY} - V_Y \quad \dots (73)$$

$$V_{DSn} = V_{1Y} - V_x - V_{MY} \quad \dots (74)$$

$$V_{DSP} = V_Y - V_{MY} \quad \dots (75)$$

$$V_{GnY} = (C_{n1}V_{n1Y} + C_{n2}V_{n2Y}) / (C_{n1} + C_{n2}) \quad \dots (76)$$

$$V_{GpY} = \{C_{p1}(V_{x1Y} - V_x + V_{p1A}) + C_{p2}V_{p2Y}\} / (C_{p1} + C_{p2}) \quad \dots (77)$$

$$V_{AB} = V_{1Y} - V_x - V_Y \quad \dots (78)$$

$$V_{MB} = V_{MY} - V_Y \quad \dots (79)$$

$$V_{n1B} = V_{n1Y} - V_Y \quad \dots (80)$$

$$V_{GnA} = V_{GnY} - V_Y \quad \dots (81)$$

$$V_{GpA} = V_{GpY} - V_Y \quad \dots (82)$$

$$V_{DSn} = V_{1Y} - V_x - V_{MY} \quad \dots (83)$$

$$V_{DSP} = V_Y - V_{MY} \quad \dots (84)$$

$$V_{GnY} = (C_{n1}V_{n1Y} + C_{n2}V_{n2Y}) / (C_{n1} + C_{n2}) \quad \dots (85)$$

$$V_{GpY} = \{C_{p1}(V_{x1Y} - V_x + V_{p1A}) + C_{p2}V_{p2Y}\} / (C_{p1} + C_{p2}) \quad \dots (86)$$

$$V_{AB} = V_{1Y} - V_x - V_Y \quad \dots (87)$$

$$V_{MB} = V_{MY} - V_Y \quad \dots (88)$$

$$V_{n1B} = V_{n1Y} - V_Y \quad \dots (89)$$

$$V_{GnA} = V_{GnY} - V_Y \quad \dots (90)$$

$$V_{GpA} = V_{GpY} - V_Y \quad \dots (91)$$

$$V_{DSn} = V_{1Y} - V_x - V_{MY} \quad \dots (92)$$

$$V_{DSP} = V_Y - V_{MY} \quad \dots (93)$$

$$V_{GnY} = (C_{n1}V_{n1Y} + C_{n2}V_{n2Y}) / (C_{n1} + C_{n2}) \quad \dots (94)$$

$$V_{GpY} = \{C_{p1}(V_{x1Y} - V_x + V_{p1A}) + C_{p2}V_{p2Y}\} / (C_{p1} + C_{p2}) \quad \dots (95)$$

$$V_{AB} = V_{1Y} - V_x - V_Y \quad \dots (96)$$

$$V_{MB} = V_{MY} - V_Y \quad \dots (97)$$

$$V_{n1B} = V_{n1Y} - V_Y \quad \dots (98)$$

$$V_{GnA} = V_{GnY} - V_Y \quad \dots (99)$$

$$V_{GpA} = V_{GpY} - V_Y \quad \dots (100)$$

$$V_{DSn} = V_{1Y} - V_x - V_{MY} \quad \dots (101)$$

$$V_{DSP} = V_Y - V_{MY} \quad \dots (102)$$

$$V_{GnY} = (C_{n1}V_{n1Y} + C_{n2}V_{n2Y}) / (C_{n1} + C_{n2}) \quad \dots (103)$$

$$V_{GpY} = \{C_{p1}(V_{x1Y} - V_x + V_{p1A}) + C_{p2}V_{p2Y}\} / (C_{p1} + C_{p2}) \quad \dots (104)$$

$$V_{AB} = V_{1Y} - V_x - V_Y \quad \dots (105)$$

$$V_{MB} = V_{MY} - V_Y \quad \dots (106)$$

$$V_{n1B} = V_{n1Y} - V_Y \quad \dots (107)$$

$$V_{GnA} = V_{GnY} - V_Y \quad \dots (108)$$

$$V_{GpA} = V_{GpY} - V_Y \quad \dots (109)$$

$$V_{DSn} = V_{1Y} - V_x - V_{MY} \quad \dots (110)$$

$$V_{DSP} = V_Y - V_{MY} \quad \dots (111)$$

$$V_{GnY} = (C_{n1}V_{n1Y} + C_{n2}V_{n2Y}) / (C_{n1} + C_{n2}) \quad \dots (112)$$

$$V_{GpY} = \{C_{p1}(V_{x1Y} - V_x + V_{p1A}) + C_{p2}V_{p2Y}\} / (C_{p1} + C_{p2}) \quad \dots (113)$$

$$V_{AB} = V_{1Y} - V_x - V_Y \quad \dots (114)$$

$$V_{MB} = V_{MY} - V_Y \quad \dots (115)$$

$$V_{n1B} = V_{n1Y} - V_Y \quad \dots (116)$$

$$V_{GnA} = V_{GnY} - V_Y \quad \dots (117)$$

$$V_{GpA} = V_{GpY} - V_Y \quad \dots (118)$$

$$V_{DSn} = V_{1Y} - V_x - V_{MY} \quad \dots (119)$$

$$V_{DSP} = V_Y - V_{MY} \quad \dots (120)$$

$$V_{GnY} = (C_{n1}V_{n1Y} + C_{n2}V_{n2Y}) / (C_{n1} + C_{n2}) \quad \dots (121)$$

$$V_{GpY} = \{C_{p1}(V_{x1Y} - V_x + V_{p1A}) + C_{p2}V_{p2Y}\} / (C_{p1} + C_{p2}) \quad \dots (122)$$

$$V_{AB} = V_{1Y} - V_x - V_Y \quad \dots (123)$$

$$V_{MB} = V_{MY} - V_Y \quad \dots (124)$$

$$V_{n1B} = V_{n1Y} - V_Y \quad \dots (125)$$

$$V_{GnA} = V_{GnY} - V_Y \quad \dots (126)$$

$$V_{GpA} = V_{GpY} - V_Y \quad \dots (127)$$

$$V_{DSn} = V_{1Y} - V_x - V_{MY} \quad \dots (128)$$

$$V_{DSP} = V_Y - V_{MY} \quad \dots (129)$$

$$V_{GnY} = (C_{n1}V_{n1Y} + C_{n2}V_{n2Y}) / (C_{n1} + C_{n2}) \quad \dots (130)$$

$$V_{GpY} = \{C_{p1}(V_{x1Y} - V_x + V_{p1A}) + C_{p2}V_{p2Y}\} / (C_{p1} + C_{p2}) \quad \dots (131)$$

$$V_{AB} = V_{1Y} - V_x - V_Y \quad \dots (132)$$

$$V_{MB} = V_{MY} - V_Y \quad \dots (133)$$

$$V_{n1B} = V_{n1Y} - V_Y \quad \dots (134)$$

$$V_{GnA} = V_{GnY} - V_Y \quad \dots (135)$$

$$V_{GpA} = V_{GpY} - V_Y \quad \dots (136)$$

$$V_{DSn} = V_{1Y} - V_x - V_{MY} \quad \dots (137)$$

$$V_{DSP} = V_Y - V_{MY} \quad \dots (138)$$

$$V_{GnY} = (C_{n1}V_{n1Y} + C_{n2}V_{n2Y}) / (C_{n1} + C_{n2}) \quad \dots (139)$$

$$V_{GpY} = \{C_{p1}(V_{x1Y} - V_x + V_{p1A}) + C_{p2}V_{p2Y}\} / (C_{p1} + C_{p2}) \quad \dots (140)$$

$$V_{AB} = V_{1Y} - V_x - V_Y \quad \dots (141)$$

$$V_{MB} = V_{MY} - V_Y \quad \dots (142)$$

$$V_{n1B} = V_{n1Y} - V_Y \quad \dots (143)$$

$$V_{GnA} = V_{GnY} - V_Y \quad \dots (144)$$

$$V_{GpA} = V_{GpY} - V_Y \quad \dots (145)$$

$$V_{DSn} = V_{1Y} - V_x - V_{MY} \quad \dots (146)$$

$$V_{DSP} = V_Y - V_{MY} \quad \dots (147)$$

$$V_{GnY} = (C_{n1}V_{n1Y} + C_{n2}V_{n2Y}) / (C_{n1} + C_{n2}) \quad \dots (148)$$

$$\begin{aligned}V_{N2B} &= V_{N2Y} - V_Y \\V_{P2B} &= V_{P2Y} - V_Y \\V_{GnB} &= V_{GnY} - V_Y \\V_{GpB} &= V_{GpY} - V_Y\end{aligned}$$

以上の関係を〔2-2〕章の各式に代入することにより、図7の回路の動作式が以下のように得られる。ここでも、分かりやすくするため、 $K_n = K_p = K$ とした。*

$$i \Delta = 0$$

$$2. V_{GnY} - V_{MY} \geq V_{1p} \text{かつ} V_{GpY} - V_{MY} \leq V_{1p} \quad (M \neq N, M, P \text{共に反転状態})$$

$$i \Delta \neq 0$$

であり、さらに、(a) $V_{XY} < V_x + V_{GnY} - V_{1p}$ かつ $V_{GpY} < V_Y + V_{1p}$ (MN, MP共に三極管領域) の★

$$i \Delta = K \{ 2 (V_{GnY} - V_{MY} - V_{1p}) (V_{XY} - V_x - V_{MY}) - (V_{XY} - V_x - V_{MY})^2 \} \quad \dots (82)$$

$$V_{MY} = [V^2_{XY} + 2 (V_{1p} - V_{GnY}) V_{XY} + \{ 2 (V_{GnY} - V_{XY} - V_{1p}) + V_x \} V_x + \{ 2 (V_{GpY} - V_{1p}) - V_Y \} V_Y] / Q \quad \dots (83)$$

ここで、

$$Q = 2 (V_{GpY} - V_{GnY} + V_{1p} - V_{1p}) \quad \dots (84)$$

である(以下同様)。

【0064】(b) $V_{XY} < V_x + V_{GnY} - V_{1p}$ (MNが★20域)の時、

$$i \Delta = K \{ 2 (V_{GnY} - V_{MY} - V_{1p}) (V_{XY} - V_x - V_{MY}) - (V_{XY} - V_x - V_{MY})^2 \} \quad \dots (85)$$

$$V_{MY} = [V^2_{XY} + 2 (V_{1p} - V_{GnY}) V_{XY} + \{ 2 (V_{GnY} - V_{XY} - V_{1p}) + V_x \} V_x + (V_{GpY} - V_{1p})^2] / Q \quad \dots (86)$$

(c) $V_{XY} \geq V_x + V_{GnY} - V_{1p}$ (MNが飽和領域)かつ◆◆ $V_{GpY} < V_Y + V_{1p}$ (MPが三極管領域)の時、

$$i \Delta = K (V_{GnY} - V_{MY} - V_{1p})^2 \quad \dots (87)$$

$$V_{MY} = [\{ 2 (V_{GpY} - V_{1p}) - V_Y \} V_Y - (V_{GnY} - V_{1p})^2] / Q \quad \dots (88)$$

(d) $V_{XY} \geq V_x + V_{GnY} - V_{1p}$ かつ $V_{GpY} \geq V_Y + V_{1p}$ (MN, MP共に飽和領域)の時、

$$i \Delta = K (V_{GnY} - V_{MY} - V_{1p})^2 \quad \dots (89)$$

$$V_{MY} = \{ (V_{GpY} - V_{1p})^2 - (V_{GnY} - V_{1p})^2 \} / Q \quad \dots (90)$$

〔2-5〕V型I-V非線形抵抗回路の改良

前章と同様に、〔2-3〕で示したV型I-V非線形抵抗基本回路に改良を加える。

【0065】図5の回路中の端子Bおよび端子Aにそれぞれ電圧源 V_x と V_Y を付加する。これらの電圧源を加える方法には図8に示すような16通りの接続が考えられる。図中で網掛けを施した正方形は、この部分に図3※

※に示したコア回路が入ることを示している。ここで、コア回路の上下が反転していることに注意されたい。図に挙げた回路は、どれも同様な特性を示すので、以下では、図8中の図8(f)の回路について詳しく述べる。この回路を図9に示す。

【0066】回路の各節点の端子Yを基準とした電位を図9のように記すと、

$$V_{GnY} = \{ C_{n1} V_{N1Y} + C_{n2} (V_{XY} - V_x + V_{N2B}) \} / (C_{n1} + C_{n2}) \quad \dots (91)$$

$$V_{GpY} = (C_{p1} V_{P1Y} + C_{p2} V_{P2Y}) / (C_{p1} + C_{p2}) \quad \dots (92)$$

$$V_{DSn} = V_Y - V_{MY} \quad \dots (93)$$

$$V_{DSP} = V_{XY} - V_x - V_{MY} \quad \dots (94)$$

$$V_{GnB} = V_{GnY} - V_{MY} \quad \dots (95)$$

$$V_{GpB} = V_{GpY} - V_{MY} \quad \dots (96)$$

を得る。さらに、図5と図9を比較すると、両図中の各電圧間に以下の関係がある。

【0067】

$$V_{BA} = V_{XY} - V_x - V_Y \quad \dots (97)$$

$$V_{MA} = V_{MY} - V_Y \quad \dots (98)$$

$$V_{N1A} = V_{N1Y} - V_Y \quad \dots (99)$$

19

$$\begin{aligned}V_{P1A} &= V_{P1Y} - V_Y \\V_{P2A} &= V_{P2Y} - V_Y \\V_{GnA} &= V_{GnY} - V_Y \\V_{GpA} &= V_{GpY} - V_Y\end{aligned}$$

以上の関係を〔2-3〕章で示した各式に代入することにより、図9の回路の動作式が以下のように得られる。ただし、分かりやすくするため、 $K_n = K_p = K$ とした。

$$i_v = 0$$

2. $V_{GnY} - V_{nY} \geq V_{1a}$ かつ $V_{GpY} - V_{nY} \leq V_{1p}$ (M※10※N、MP共に反転状態) の時、

$$i_v \neq 0$$

$$\dots (104)$$

$$\dots (105)$$

であり、さらに (a) $V_Y < V_{GnY} - V_{1a}$ かつ $V_{YY} > V_{1p}$ (MN、MP共に三極管領域) の時、

$$i_v = K \{ 2 (V_{GnY} - V_{nY} - V_{1a}) (V_Y - V_{nY}) - (V_Y - V_{nY})^2 \} \dots (106)$$

$$V_{nY} = [-V_{YY}^2 + 2 (V_{GpY} - V_{1p}) V_{YY} + \{ 2 (V_{YY} - V_{GpY} + V_{1p}) - V_{YY} \} V_{YY} + \{ 2 (V_{1p} - V_{GnY}) + V_Y \} V_Y] / Q \dots (107)$$

(b) $V_Y < V_{GnY} - V_{1a}$ (MNが三極管領域) かつ $V_{YY} \leq V_{YY} + V_{GpY} - V_{1p}$ (MPが飽和領域) の時、

$$i_v = K \{ 2 (V_{GnY} - V_{nY} - V_{1a}) (V_Y - V_{nY}) - (V_Y - V_{nY})^2 \} \dots (108)$$

$$V_{nY} = [(2 (V_{1a} - V_{GnY}) + V_Y) V_Y + (V_{GpY} - V_{1p})^2] / Q \dots (109)$$

(c) $V_Y \geq V_{GnY} - V_{1a}$ (MNが飽和領域) かつ $V_{YY} \diamond \diamond > V_{YY} + V_{GpY} - V_{1p}$ (MPが三極管領域) の時、

$$i_v = K (V_{GnY} - V_{nY} - V_{1a})^2 \dots (110)$$

$$V_{nY} = [-V_{YY}^2 + 2 (V_{GpY} - V_{1p}) V_{YY} + \{ 2 (V_{YY} - V_{GpY} + V_{1p}) - V_{YY} \} V_{YY} - (V_{GnY} - V_{1a})^2] / Q \dots (111)$$

(d) $V_Y \geq V_{GnY} - V_{1a}$ かつ $V_{YY} \leq V_{YY} + V_{GpY} - V_{1p}$ (MN、MP共に飽和領域) の時、

$$i_v = K (V_{GnY} - V_{nY} - V_{1a})^2 \dots (112)$$

$$V_{nY} = \{ (V_{GpY} - V_{1p})^2 - (V_{GnY} - V_{1a})^2 \} / Q \dots (113)$$

[3] 数値シミュレーション

上記〔2〕章で求めた動作式を用いたコンピュータシミュレーションにより、図7の回路のI-V特性を計算した。この時用いたデバイスパラメータは以下の通りである。

$$K_n = K_p = 300 \mu A/V^2$$

$$V_{1a} = 0.7 V$$

$$V_{1p} = -0.7 V$$

$$C_{n1} = C_{n2} = C_{p1} = C_{p2} = 0.1 \mu F$$

図10に、 $V_{P2Y} = -4 V$ 、 $V_{n2Y} = 2.5 V$ 、 $V_{P1A} = V_Y = 0 V$ とし、 V_{n1Y} と V_{YY} をパラメータとした時の、 V_{YY} に対する i_A の特性を示す。

【0069】さらに、 $V_{P2Y} = -4 V$ 、 $V_{n1Y} = 3 V$ 、 $V_{P1A} = V_Y = 0 V$ とし、 $V_{n2Y} = V_Y$ の条件の下で、 V_Y をパラメータとした時の、 V_{YY} に対する i_A の特性を図11に示す。次に、図9の回路の特性のシミュレーション結果を示す。デバイスパラメータは、上に挙げたものと同じである。

【0070】図11に、図7の回路において V_Y をパラメータとした時の V_{YY} に対する i_A の特性を示す。図12に、 $V_{P2Y} = -4 V$ 、 $V_{P1A} = V_{n2B} = V_Y = 0 V$ とし、 V_{n1Y} および V_Y をパラメータとした時の、 V_{YY} に

$$\begin{aligned}&\dots (100) \\&\dots (101) \\&\dots (102) \\&\dots (103)\end{aligned}$$

* 【0068】1. $V_{GnY} - V_{nY} < V_{1a}$ (MNが遮断領域) あるいは $V_{GpY} - V_{nY} > V_{1p}$ (MPが遮断領域) の時、

*

$$\dots (104)$$

$$\dots (105)$$

$$\begin{aligned}&V_Y < V_{GnY} - V_{1a} \text{かつ} V_{YY} > V_{1p} \text{ (MN、MP共に反転状態) の時,} \\&i_v = K \{ 2 (V_{GnY} - V_{nY} - V_{1a}) (V_Y - V_{nY}) - (V_Y - V_{nY})^2 \} \dots (106)\end{aligned}$$

$$V_{nY} = [-V_{YY}^2 + 2 (V_{GpY} - V_{1p}) V_{YY} + \{ 2 (V_{YY} - V_{GpY} + V_{1p}) - V_{YY} \} V_{YY} + \{ 2 (V_{1p} - V_{GnY}) + V_Y \} V_Y] / Q \dots (107)$$

$$\begin{aligned}&(b) V_Y < V_{GnY} - V_{1a} \text{ (MNが三極管領域) かつ} V_{YY} \leq V_{YY} + V_{GpY} - V_{1p} \text{ (MPが飽和領域) の時,} \\&i_v = K \{ 2 (V_{GnY} - V_{nY} - V_{1a}) (V_Y - V_{nY}) - (V_Y - V_{nY})^2 \} \dots (108)\end{aligned}$$

$$V_{nY} = [(2 (V_{1a} - V_{GnY}) + V_Y) V_Y + (V_{GpY} - V_{1p})^2] / Q \dots (109)$$

$$\dots (109)$$

$$\dots (110)$$

$$V_{nY} = [-V_{YY}^2 + 2 (V_{GpY} - V_{1p}) V_{YY} + \{ 2 (V_{YY} - V_{GpY} + V_{1p}) - V_{YY} \} V_{YY} - (V_{GnY} - V_{1a})^2] / Q \dots (111)$$

$$\dots (111)$$

$$\dots (112)$$

$$V_{nY} = \{ (V_{GpY} - V_{1p})^2 - (V_{GnY} - V_{1a})^2 \} / Q \dots (113)$$

に対する i_A の特性を示す。さらに、図13に、図9の回路において、 $V_{P2Y} = -4 V$ 、 $V_{n1Y} = 2.5 V$ 、 $V_{n2B} = V_Y = 0 V$ とし、 $V_{n2Y} = V_Y$ の条件の下で、 V_Y をパラメータとした時の、 V_{YY} に対する i_A の特性を示す。

【0071】これらの計算シミュレーションにより、本発明の回路が△型およびV型の非線形形抵抗特性を示すことが確認された。また、外部電圧によりそのI-V特性を変化させることが可能であり、図14に示したような多様な非線形形抵抗特性が得られることも確認された。

[4] 個別部品による実験

40 本発明の回路を個別電子部品により試作した。回路中のMOSFET MNおよびMPは、CMOS-IC HD14007UBP中のFETを用いた。また、結合容量は、 $C_{n1} = C_{n2} = C_{p1} = C_{p2} = 0.1 \mu F$ とした。

【0072】図15に図7において、 $V_{P2Y} = -4 V$ 、 $V_{n2Y} = 3.2 V$ 、 $V_{P1A} = V_Y = 0 V$ とし、 V_{n1Y} と V_Y をパラメータとした時の、 V_{YY} に対する i_A の測定結果を示す。この結果は、図10に示した数値シミュレーションの結果に対応する。さらに、図16に図7において、 $V_{n1Y} = 3.5 V$ 、 $V_{P2A} = -4 V$ 、 $V_{P1A} = V_{n2B} = V_Y = 0 V$ とし、 V_{n2Y} と V_Y をパラメータとした時の、 V_{YY} に対する i_A の特性を示す。

メータとした時の、 v_{xy} に対する i_A の測定結果を示す。この結果は、図11に示した数値シミュレーションの結果に対応する。

【0073】次に、図9の回路において、 $v_{p2y} = -4V$ 、 $v_{n2b} = v_{p1y} = v_y = 0V$ とし、 v_{n1y} と v_x をパラメータとした時の、 v_{xy} に対する i_v の特性を図17に示す。この結果は、図12に示した数値シミュレーションの結果に対応する。さらに、図9の回路において、 $v_{p2y} = -4V$ 、 $v_{n1y} = 3.2V$ 、 $v_{n2b} = v_x = 0V$ とし、 $v_{n2y} = v_y$ の条件の下で、 v_y をパラメータとした時の、 v_{xy} に対する i_v の特性を図18に示す。この結果は、図13に示した数値シミュレーションの結果に対応する。

【0074】以上の実験結果は、前章に示したシミュレーション結果と定性的に良く一致する。従って、実験によっても本発明の回路の非線形抵抗特性が確認された。上記したように、標準的な、CMOSプロセスで集積回路化可能な非線形抵抗回路を得ることができた。本発明の回路によれば、外部からの制御電圧を調整することにより、多様な△字あるいはV字型のI-V特性を実現することが可能である。

【0075】従って、本発明の回路は各種信号処理回路や発振器、インダクタンスシミュレーション回路、メモリ回路や論理回路、さらにはカオスを発生させる回路等への応用が期待できる。さらに、パルス型ハードウェアカオスニューロン回路【上記⑤第5文献参照】の集積回路化にも有効であると考えられる。また、フローティングゲート技術を用いて集積回路化【前記⑥第6及び⑦第7文献参照】することにより、これらの応用回路の小型化が可能である。

【0076】なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0077】

【発明の効果】以上、詳細に説明したように、本発明によれば、以下のような効果を奏することができる。

(1) 同一回路構成で△型とV型の非線形抵抗特性が得られる。

(2) 外部からの制御電圧により、多様な非線形抵抗特性を実現することができる。

(3) エンハンスマント型MOSFETのみを用いているため、標準的なCMOSプロセスで集積回路化が可能である。

(4) 入力結合容量に非線形キャパシタも使用可能であるので、線形キャパシタが利用できない安価なCMOSプロセスでも集積回路化が可能である。

(5) 使用するMOSFETのサイズを小さくすれば、相対的に入力結合容量も小さくすることができる。また、この際、寄生容量C₀【1-1】章参照は回路

の特性に本質的な影響を与えない。従って、回路の小型化を容易にことができる。

(6) NMOSFET等を用いれば、非常に小型にでき、効率的な集積回路化が可能である。

【図面の簡単な説明】

【図1】本発明に係る容量結合多入力NチャネルMOSFETの回路図である。

【図2】本発明に係るm個の容量結合入力端子を持つPMOSFETの回路図である。

【図3】本発明の実施例を示す非線形抵抗回路のコアとなる回路図である。

【図4】本発明の実施例を示す△字型のI-V特性を実現する基本回路図である。

【図5】本発明の実施例を示すV字型のI-V特性を実現する基本回路図である。

【図6】本発明の実施例を示す△字型のI-V特性を実現する非線形抵抗回路である。

【図7】本発明の実施例を示す△字型のI-V特性を実現する非線形抵抗回路の一つを示す図である。

【図8】本発明の実施例を示すV字型のI-V特性を実現する非線形抵抗回路図である。

【図9】本発明の実施例を示すV字型のI-V特性を実現する非線形抵抗回路の一つを示す図である。

【図10】図7の回路において v_{n1y} および v_x をパラメータとした時の v_{xy} に対する i_A のシミュレーション結果を示す図である。

【図11】図7の回路において v_y をパラメータとした時の v_{xy} に対する i_A の特性を示す図である。

【図12】図9の回路において v_{n1y} および v_x をパラメータとした時の v_{xy} に対する i_v のシミュレーション結果を示す図である。

【図13】図9の回路において v_y をパラメータとした時の v_{xy} に対する i_v の特性を示す図である。

【図14】本発明の実施例を示す多様な非線形抵抗特性図である。

【図15】図7において、 $v_{p2y} = -4V$ 、 $v_{n2y} = 3.2V$ 、 $v_{p1a} = v_y = 0V$ とし、 v_{n1y} と v_x をパラメータとした時の、 v_{xy} に対する i_A の測定結果を示す図である。

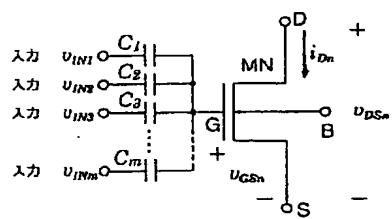
【図16】図7において、 $v_{n1y} = 3.5V$ 、 $v_{p2a} = -4V$ 、 $v_{p1a} = v_x = 0V$ とし、 $v_{n2y} = v_y$ の条件の下で、 v_y をパラメータとした時の、 v_{xy} に対する i_A の測定結果を示す図である。

【図17】図9の回路において、 $v_{p2y} = -4V$ 、 $v_{n2b} = v_{p1y} = v_y = 0V$ とし、 v_{n1y} と v_x をパラメータとして時の、 v_{xy} に対する i_v の特性を示す図である。

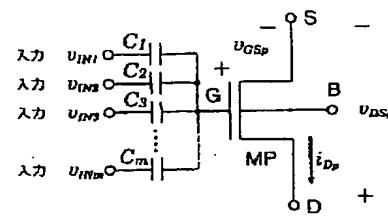
【図18】図9の回路において、 $v_{p2y} = -4V$ 、 $v_{n1y} = 3.2V$ 、 $v_{n2b} = v_x = 0V$ とし、 $v_{n2y} = v_y$ の条件の下で、 v_y をパラメータとした時の、 v_{xy} に

対する i_v の特性を示す図である。

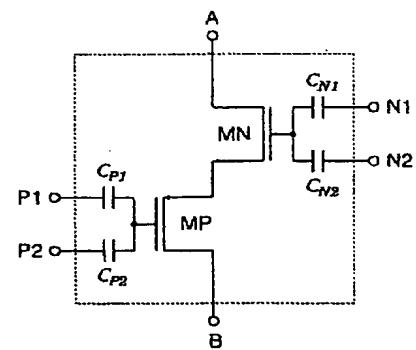
【图1】



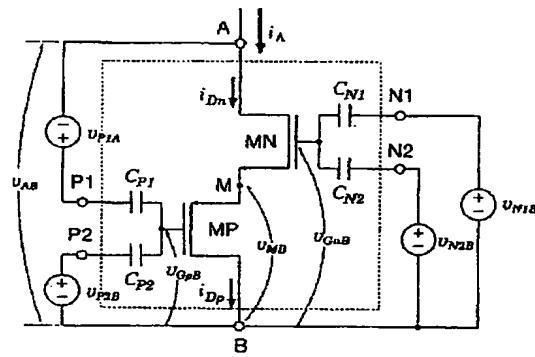
[図2]



【図3】

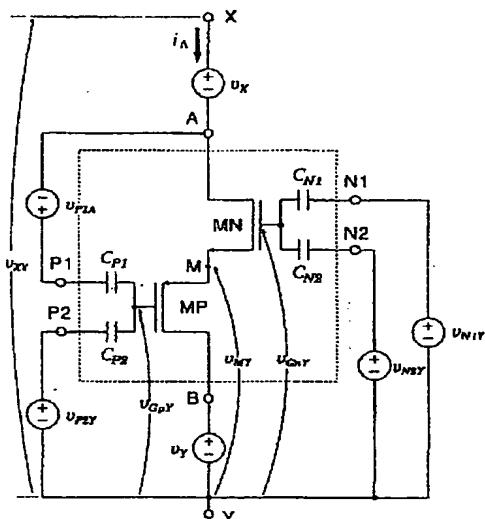


[図 4]

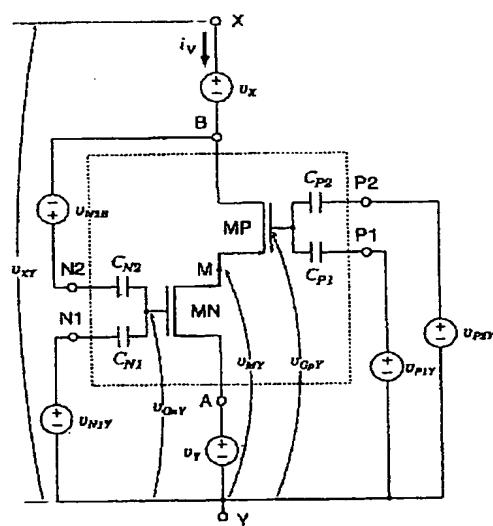


【図5】

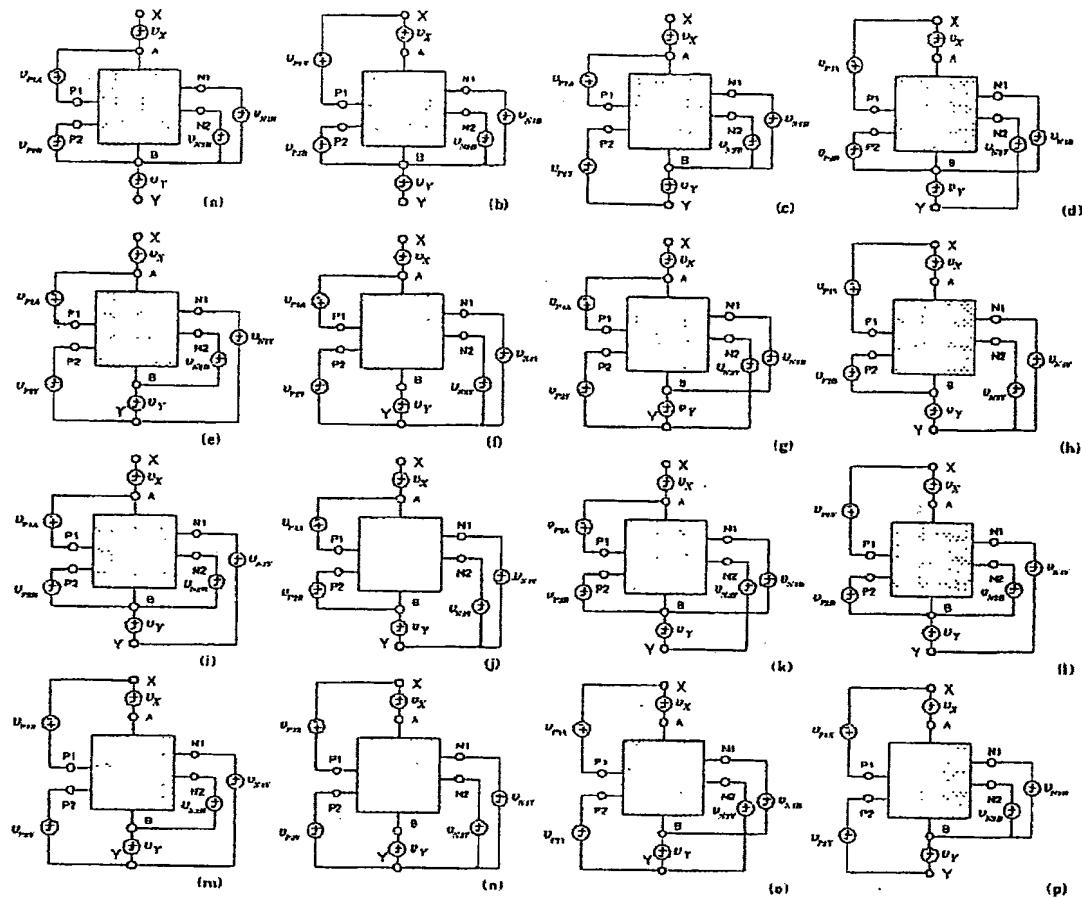
【图 7】



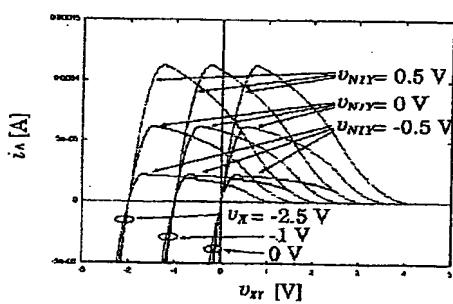
【図9】



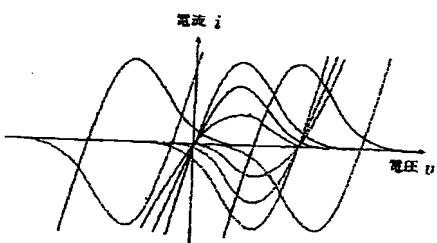
【図 6】



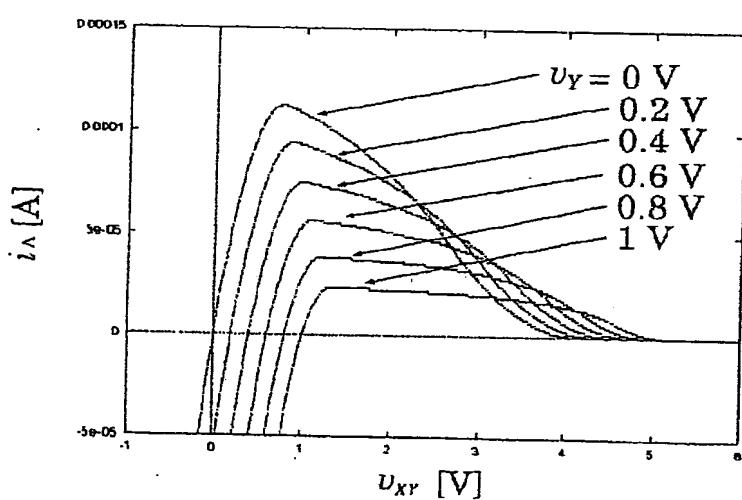
【図 10】



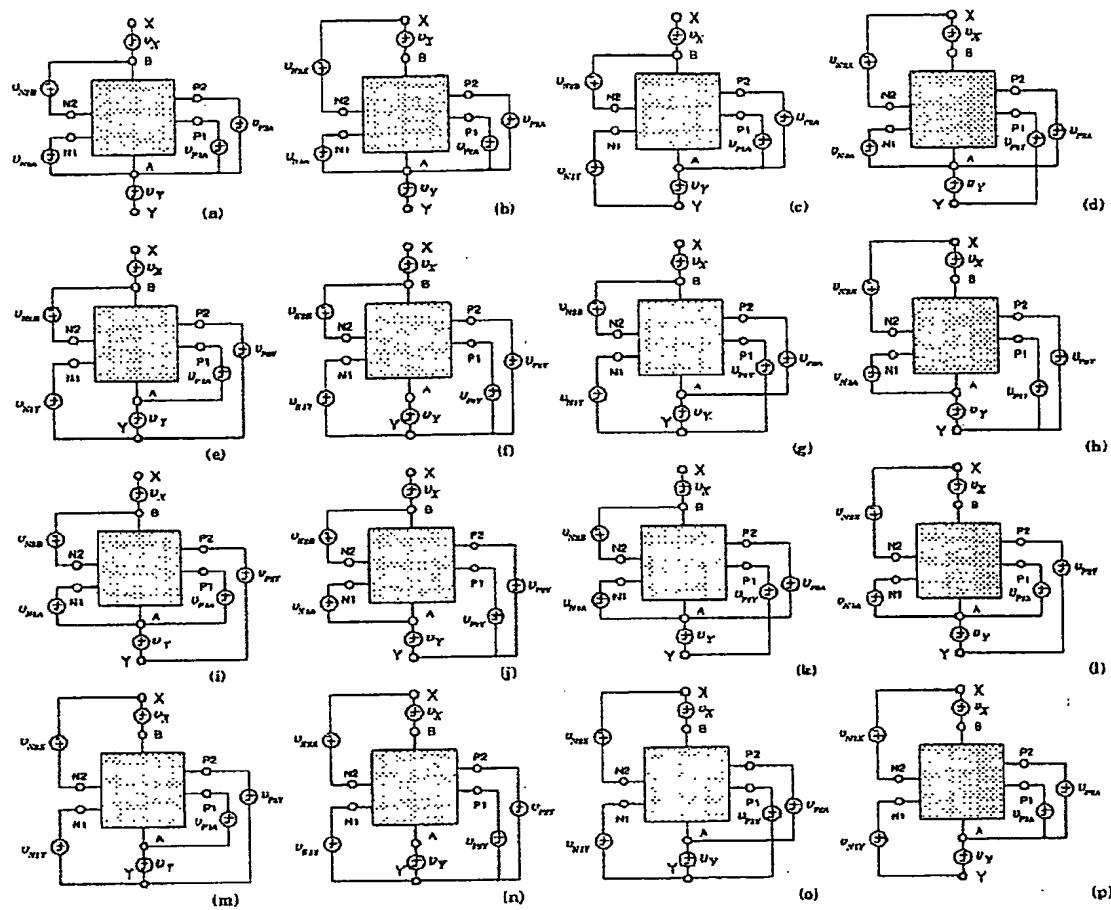
【図 14】



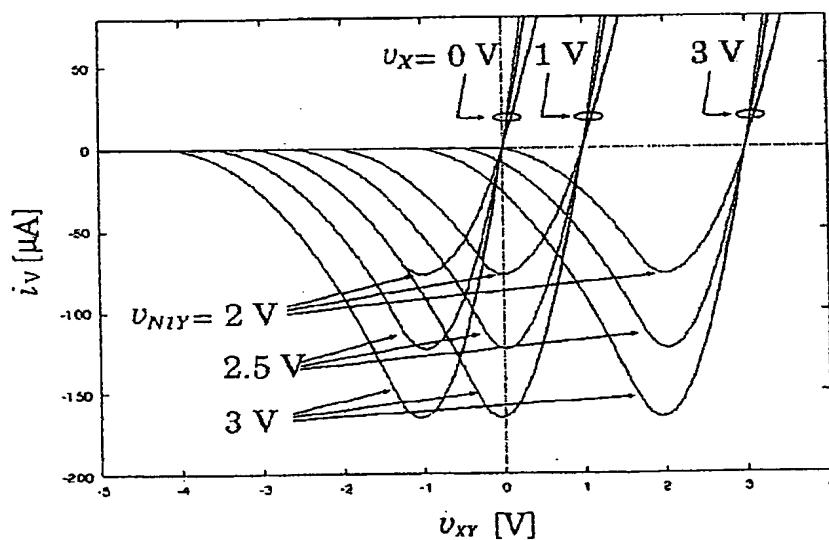
【図 11】



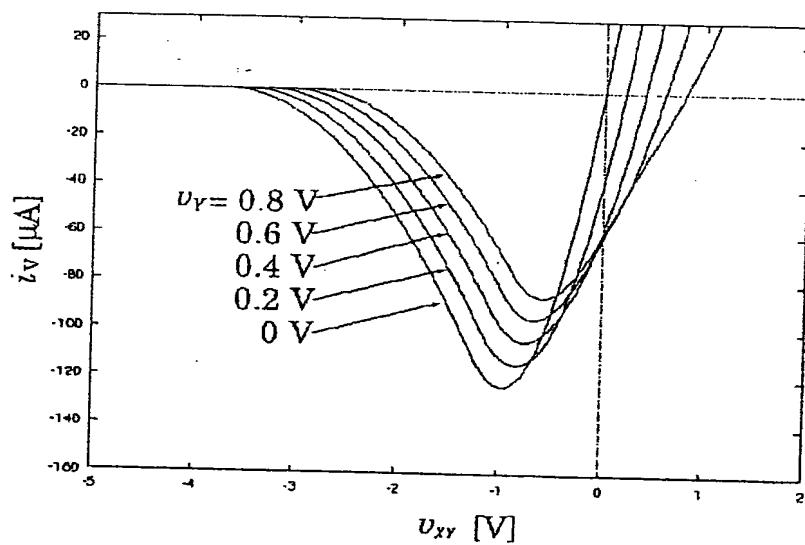
【図 8】



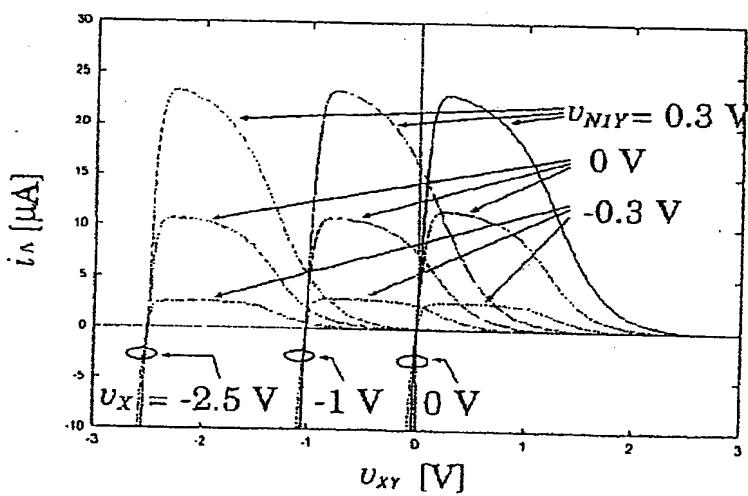
【図 12】



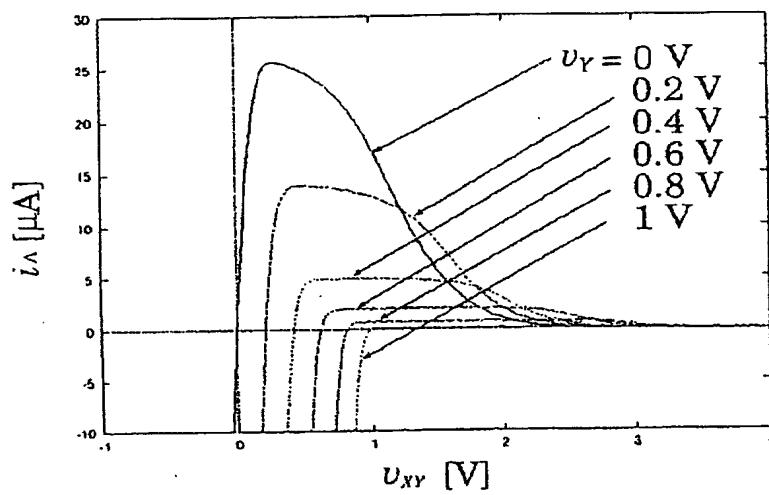
【図13】



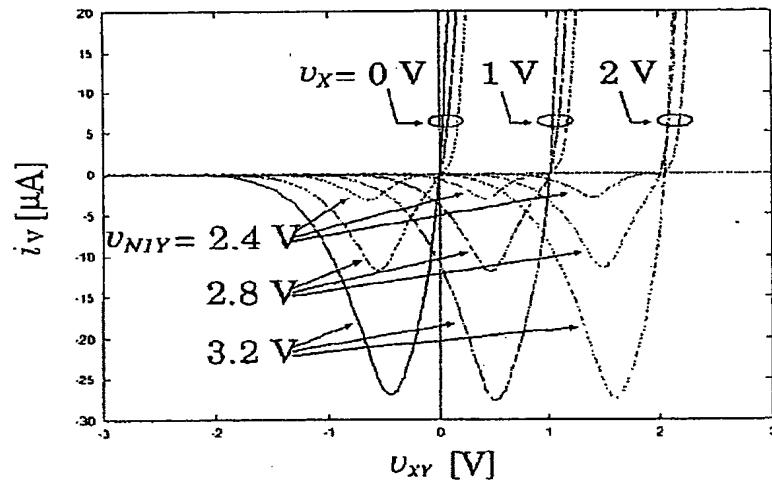
【図15】



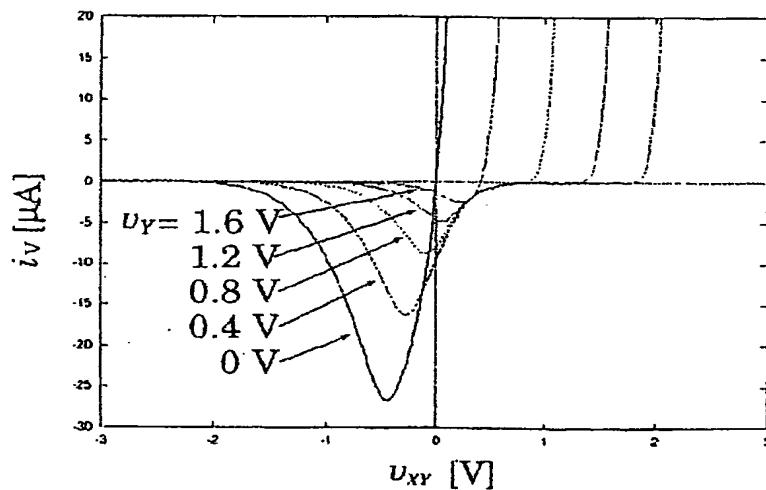
【図 16】



【図 17】



【図 18】



【手続補正書】

【提出日】平成11年10月1日(1999.10.1)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】(a) 容量結合多入力ゲート端子を有するエンハンスマント型のNチャネルMOSFETと、(b) 容量結合多入力ゲート端子を有するエンハンスマント型のPチャネルMOSFETと、(c) 前記各MOSFETのソース端子どうしを接続した非線形抵抗特性を有するコア回路とを備え、(d) 前記NチャネルMOSFETのドレン端子と第1の入出力端子間に与えられる第5の電位と、前記PチャネルMOSFETのドレン端子と第2の入出力端子間に与えられる第6の電位とを有し、前記PチャネルMOSFETのゲートに接続される第1の容量と前記NチャネルMOSFETのドレン端子又は第1の入出力端子間に与えられる第1の電位と、前記PチャネルMOSFETのゲートに接続される第2の容量と前記PチャネルMOSFETのドレン端子又は第2の入出力端子間に与えられる第2の電位と、前記NチャネルMOSFETのゲートに接続される第3の容量と前記PチャネルMOSFETのドレン端子又は第2の入出力端子間に与えられる第3の電位と、前記NチャネルMOSFETのゲートに接続される第4の容量と前記PチャネルMOSFETのドレン端子又は第2の入出力端子間に与えられる第4の電位とを有し、△型電流-電圧特性を得るとともに、外部からの制御電圧により、前記△型電流-電圧特性を多様に変化させることを特徴とする容量結合多入力MOSFETを用いた非線形抵抗回路。

【請求項2】(a) 容量結合多入力ゲート端子を有するエンハンスマント型のPチャネルMOSFETと、(b) 容量結合多入力ゲート端子を有するエンハンスマント型のNチャネルMOSFETと、(c) 前記各MOSFETのソース端子どうしを接続した非線形抵抗特性を有するコア回路とを備え、(d) 前記PチャネルMOSFETのドレン端子と第1の入出力端子間に与えられる第11の電位と、前記NチャネルMOSFETのドレン端子と第2の入出力端子間に与えられる第12の電位とを有し、前記NチャネルMOSFETのゲートに接続される第5の容量と前記PチャネルMOSFETのドレン端子又は第1の入出力端子間に与えられる第7の電位と、前記NチャネルMOSFETのゲートに接続される第6の容量と前記NチャネルMOSFETのドレン端子又は第2の入出力端子間に与えられる第8の電位と、前記PチャネルMOSFETのゲートに接続され

る第7の容量と前記NチャネルMOSFETのドレン端子又は第2の入出力端子間に与えられる第9の電位と、前記PチャネルMOSFETのゲートに接続される第8の容量と前記NチャネルMOSFETのドレン端子又は第2の入出力端子間に与えられる第10の電位とを有し、V型電流-電圧特性を得るとともに、外部からの制御電圧により、前記V型電流-電圧特性を多様に変化させることを特徴とする容量結合多入力MOSFETを用いた非線形抵抗回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】

【課題を解決するための手段】本発明は、上記目的を達成するために、

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】(1) 容量結合多入力MOSFETを用いた非線形抵抗回路において、容量結合多入力ゲート端子を有するエンハンスマント型のNチャネルMOSFETと、容量結合多入力ゲート端子を有するエンハンスマント型のPチャネルMOSFETと、前記各MOSFETのソース端子どうしを接続した非線形抵抗特性を有するコア回路とを備え、前記NチャネルMOSFETのドレン端子と第1の入出力端子間に与えられる第5の電位と、前記PチャネルMOSFETのドレン端子と第2の入出力端子間に与えられる第6の電位とを有し、前記PチャネルMOSFETのゲートに接続される第1の容量と前記NチャネルMOSFETのドレン端子又は第1の入出力端子間に与えられる第1の電位と、前記PチャネルMOSFETのゲートに接続される第2の容量と前記PチャネルMOSFETのドレン端子又は第2の入出力端子間に与えられる第2の電位と、前記NチャネルMOSFETのゲートに接続される第3の容量と前記PチャネルMOSFETのドレン端子又は第2の入出力端子間に与えられる第3の電位と、前記NチャネルMOSFETのゲートに接続される第4の容量と前記PチャネルMOSFETのドレン端子又は第2の入出力端子間に与えられる第4の電位とを有し、△型電流-電圧特性を得るとともに、外部からの制御電圧により、前記△型電流-電圧特性を多様に変化させることを特徴とする。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】 0012

【補正方法】 変更

【補正内容】

【0012】 すなわち、図6(a)～図6(p)及び図7に示すように、前記NチャネルMOSFETのドレイン端子(A)と第1の入出力端子(X)間に与えられる第5の電位(v_5)と、前記PチャネルMOSFETのドレイン端子(B)と第2の入出力端子(Y)間に与えられる第6の電位(v_6)とを有し、前記PチャネルMOSFETのゲートに接続される第1の容量(C_{P1})と前記NチャネルMOSFETのドレイン端子(A)又は第1の入出力端子(X)間に与えられる第1の電位(v_{P1A} , v_{P1X})と、前記PチャネルMOSFETのゲートに接続される第2の容量(C_{P2})と前記PチャネルMOSFETのドレイン端子(B)又は第2の入出力端子(Y)間に与えられる第2の電位(v_{P2B} , v_{P2Y})と、前記NチャネルMOSFETのゲートに接続される第3の容量(C_{N1})と前記PチャネルMOSFETのドレイン端子(B)又は第2の入出力端子(Y)間に与えられる第3の電位(v_{N1B} , v_{N1Y})と、前記NチャネルMOSFETのゲートに接続される第4の容量(C_{N2})と前記PチャネルMOSFETのドレイン端子(B)又は第2の入出力端子(Y)間に与えられる第4の電位(v_{N2B} , v_{N2Y})とを有するようにしたものである。

【手続補正5】

【補正対象書類名】 明細書

【補正対象項目名】 0013

【補正方法】 変更

【補正内容】

【0013】 [2] 容量結合多入力MOSFETを用いた非線形抵抗回路において、容量結合多入力ゲート端子を有するエンハンスマント型のPチャネルMOSFETと、容量結合多入力ゲート端子を有するエンハンスマント型のNチャネルMOSFETと、前記各MOSFETのソース端子どうしを接続した非線形抵抗特性を有するコア回路とを備え、前記PチャネルMOSFETのドレイン端子と第1の入出力端子間に与えられる第11の電位と、前記NチャネルMOSFETのドレイン端子と第2の入出力端子間に与えられる第12の電位とを有し、前記NチャネルMOSFETのゲートに接続される第5の容量と前記PチャネルMOSFETのドレイン端子又は第1の入出力端子間に与えられる第7の電位と、前記NチャネルMOSFETのゲートに接続される第6の容量と前記NチャネルMOSFETのドレイン端子又は第2の入出力端子間に与えられる第8の電位と、前記PチャネルMOSFETのゲートに接続される第7の容量と前記NチャネルMOSFETのドレイン端子又は第2の入出力端子間に与えられる第9の電位と、前記PチャネルMOSFETのゲートに接続される第8の容量と前記

NチャネルMOSFETのドレイン端子又は第2の入出力端子間に与えられる第10の電位とを有し、V型電流-電圧特性を得るとともに、外部からの制御電圧により、前記V型電流-電圧特性を多様に変化させることを特徴とする。

【手続補正6】

【補正対象書類名】 明細書

【補正対象項目名】 0014

【補正方法】 変更

【補正内容】

【0014】 すなわち、図8(a)～図8(p)及び図9に示すように、前記PチャネルMOSFETのドレイン端子(B)と第1の入出力端子(X)間に与えられる第11の電位(v_1)と、前記NチャネルMOSFETのドレイン端子(A)と第2の入出力端子(Y)間に与えられる第12の電位(v_2)とを有し、前記NチャネルMOSFETのゲートに接続される第5の容量(C_{N2})と前記PチャネルMOSFETのドレイン端子(B)又は第1の入出力端子(X)間に与えられる第7の電位(v_{N2B} , v_{N2X})と、前記NチャネルMOSFETのゲートに接続される第6の容量(C_{N1})と前記NチャネルMOSFETのドレイン端子(A)又は第2の入出力端子(Y)間に与えられる第8の電位(v_{N1A} , v_{N1Y})と、前記PチャネルMOSFETのゲートに接続される第7の容量(C_{P2})と前記NチャネルMOSFETのドレイン端子(A)又は第2の入出力端子(Y)間に与えられる第9の電位(v_{P2A} , v_{P2Y})と、前記PチャネルMOSFETのゲートに接続される第8の容量(C_{P1})と前記NチャネルMOSFETのドレイン端子(A)又は第2の入出力端子(Y)間に与えられる第10の電位(v_{P1A} , v_{P1Y})とを有するようにしたものである。

【手続補正7】

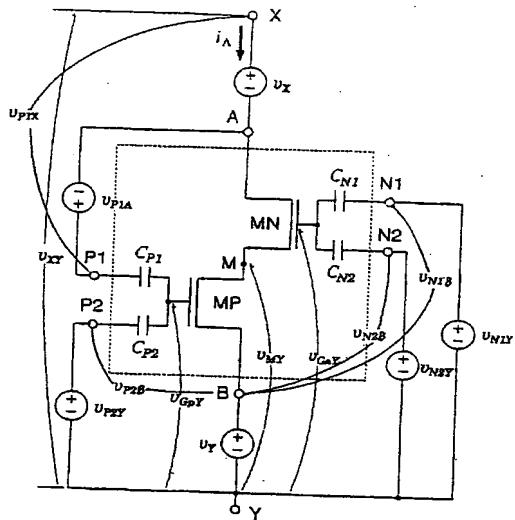
【補正対象書類名】 図面

【補正対象項目名】 図7

【補正方法】 変更

【補正内容】

【図7】



【手続補正 8】

【補正対象書類名】図面

【補正対象項目名】図 9

【補正方法】変更

【補正內容】

[図9]

